

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-295888

(43)公開日 平成6年(1994)10月21日

| | | | | |
|------------------------------|------|---------|----------------|--------|
| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 21/302 | N | 9277-4M | | |
| 21/3205 | | | | |
| 21/90 | V | 7514-4M | H 0 1 L 21/ 88 | E |
| | | 7514-4M | | |
| 審査請求 未請求 請求項の数 1 O L (全 4 頁) | | | | |

(21)出願番号 特願平5-82300

(22)出願日 平成5年(1993)4月9日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 東 英昭

長崎県諫早市津久葉町1883-43 ソニー長

崎株式会社内

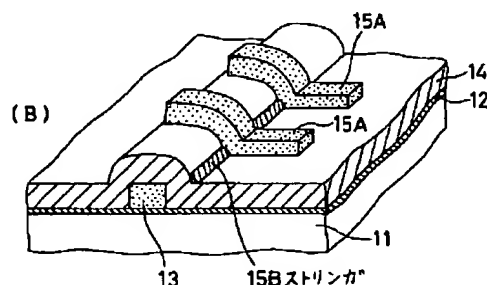
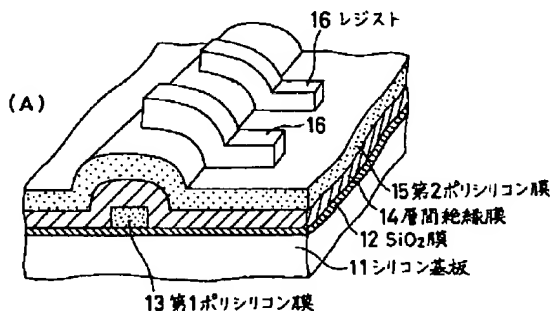
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 下地膜減りがなく、且つショートが生じない信頼性の高い配線を備える半導体装置を提供する。

【構成】 層間絶縁膜14上に第2ポリシリコン膜15を堆積させ、その上にレジスト16をパターニングする。レジスト16をマスクとして異方性エッチングを行った後、エッチング残りであるストリング15BをO₂酸化により、SiO₂となる絶縁物に変える。このように、ストリング15Bが生じても確実に配線どうしを分離できるため、オーバーエッチングをかける必要がない。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁膜の表面に導電性材料膜を堆積させ、該導電性材料膜をパターンニングする工程を備えた半導体装置の製造方法において、上記導電性材料膜をエッチングによりパターンニングした後、酸化処理を施し上記絶縁膜上にストリングとして残った該導電性材料膜を酸化物に変えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置の製造方法に関し、更に詳しくは、配線材料のエッチング残りによるショートを防止する配線の後処理方法に係る。

【0002】

【従来の技術】デバイスの高集積化に伴い、素子の微細化と複雑化が進んでいる。ところが素子の微細化は横方向の縮小は行われているが縦方向のスケールダウンは行われていない。その結果、デバイス表面の凹凸は益々厳しくなっている。このような凹凸の激しい表面上に配線パターンを形成すると、高段差部や急峻な部分で配線材料のエッチング残りが発生する。このようなエッチング残りを防止するために、過度のオーバーエッチングを行ったり、急峻な部分のないデバイス構造としたり、エッチング条件を変化させる所謂マルチステップエッチング等を行っている。

【0003】なお、図3(A)～(C)は、オーバーエッチングを行う工程を示している。まず、図3(A)に示すように、半導体基板1表面に絶縁膜2を形成し、絶縁膜2上に第1ポリシリコン膜3をパターンニングし、層間絶縁膜4、第2ポリシリコン膜5を順次堆積させる。次に、図3(B)に示すように、第2ポリシリコン膜5を所定のパターンになるように、フォトリソグラフィ技術及びドライエッチング技術を用いてパターンニングする。このドライエッチングにより層間絶縁膜4の表面が露出し始めた時点では、図3(B)に示すように、段差部の裾部に第2ポリシリコン膜5の一部が残っている。これを除去するため、図3(C)に示すように、オーバーエッチングをかけている。

【0004】

【発明が解決しようとする課題】しかしながら、上記した方法には、いくつかの制限がある。例えば、過度のオーバーエッチングを行う方法では、図3(A)に示す層間絶縁膜4の厚さTが、図3(C)に示すように厚さとなり膜減りが著しくなる。これに伴い、段差部ではその斜さがより急峻となり、上層膜の段差被覆性が悪化する問題がある。この他に、絶縁膜の膜減りにより、ショートの原因となる問題も生じる。また、急峻な部分を作らないようデバイス構造を変えることは、デバイス特性上容易には変えられない問題がある。さらに、マルチステップエッチングは、デポジションとエッチングを繰り返す方法であるため、エッチング装置の状態や性能等に大きく影響を受けるために安定性に乏しい問題があった。

【0005】この発明は、上記した問題点に着目して創案されたものであって、その解決しようとする課題は、下地膜に影響を得ずに、ショートの生じない配線を備える半導体装置を製造するには、そのような手段を講じればよいかという点にある。

【0006】

10 【課題を解決するための手段】この発明は、半導体基板上に形成された絶縁膜の表面に導電性材料膜を堆積させ、該導電性材料膜をパターンニングする工程を備えた半導体装置の製造方法において、上記導電性材料膜をエッチングによりパターンニングした後、酸化処理を施し上記絶縁膜上にストリングとして残った該導電性材料膜を酸化物に変えることを、解決手段としている。

【0007】

20 【作用】酸化処理を行うことにより、絶縁膜上に残った導電性材料(ストリング)が酸化物に変わり、絶縁物となる。このため、オーバーエッチングをかける必要がなくなり、下地絶縁膜の膜減りなどを回避できる。また、ストリングが絶縁物となるため、ショートを防止できる。

【0008】

30 【実施例】以下、この発明に係る半導体装置の製造方法の詳細を図面に示す実施例に基づいて説明する。この発明は、配線加工後のエッチング残りに対し、酸化を行うことにより、エッチング残りを絶縁物に変えてしまうことを特徴とする。そこで、本実施例は、半導体装置の製造工程において、特にエッチング残りの生じ易い、第2ポリシリコン膜でなる配線の加工に本発明を適用したものである。

【0009】本実施例は、まず図1(A)に示すような構造を形成する。即ち、シリコン基板11上にSiO₂膜12を形成した後、第1ポリシリコン膜13をCVD法で堆積させる。そして、この第1ポリシリコン膜13を周知のリソグラフィ技術及びエッチング技術を用いてパターンニングする。この第1ポリシリコン膜13のエッチングにおいては、下地SiO₂膜12が平坦であるため、エッチング残りは生じない。次に、全面に層間絶縁膜14を例えばCVD法を用いて堆積させる。さらに、層間絶縁膜14上に、第2ポリシリコン膜15を堆積させる。そして、第2ポリシリコン膜15上にレジスト16をフォトリソグラフィ技術により、パターンニングする。このレジスト16は、第2ポリシリコン膜15を配線として残すべき位置にパターンニングされる。

【0010】次に、上記レジスト16をマスクとしてドライエッチング(例えば、SF₆系ガスを用いてECRエッチャーで用いる)を行い、下地层間絶縁膜14が露出した状態で停止させる。この状態での構造は、図1

3

(B)に示すように、第1ポリシリコン膜13に起因して生じた段差により、この段差の裾の部分に第2ポリシリコン膜15がストリング15Bとして残った構造となっている。その後、ウェハを炉に入れ、800℃の条件でO₂ガスによる酸化を行う。この酸化処理により、ストリング15Bは、図2に示すように酸化膜15Cに変わる。酸化膜15Cは、SiO₂で成るため、電気絶縁性を持つ。このため、エッチング残りに起因するショートを防止することができる。

【0011】なお、本実施例では、800℃程度の酸化

【0012】以上、この発明を第2ポリシリコン膜の配線加工工程に適用した実施例について説明したが、これに限定されるものではなく、各種の変更が可能である。

【0013】実施例は導電性材料としてポリシリコンを用いたが、例えばタングステン(W)、タングステンスリサイド(WSi₂)、アルミニウム(Al)等の配線材料を用いてもよい。この場合、WではWO_x、WSi₂ではWSiO_x、AlではAl₂O₃などの絶縁性を持つ酸化物となる。

【0014】また、上記実施例においては、酸化処理としてO₂ガスを用いた炉内での酸化方法を用いたが、例

4

えば、O₃処理、O₂イオン注入後のアニール、エキシマレーザによる表面アニールなどの手段を用いることも勿論可能である。

【0015】

【発明の効果】以上の説明から明らかなように、この発明によれば、下地膜の膜減りや下地膜の段差を急峻にすることを防止できる。また、下地膜が急峻な段差を有して導電性材料のエッチング残りが生じて、配線部以外に確実に不導体にできるため、ショートが発生するのを防止する効果がある。

【図面の簡単な説明】

【図1】(A)及び(B)は本発明の実施例の要部Bを示す斜視図。

【図2】本発明の実施例の要部を示す断面図。

【図3】(A)～(C)は従来の配線加工工程を示す要部断面図。

【符号の説明】

11…シリコン基板

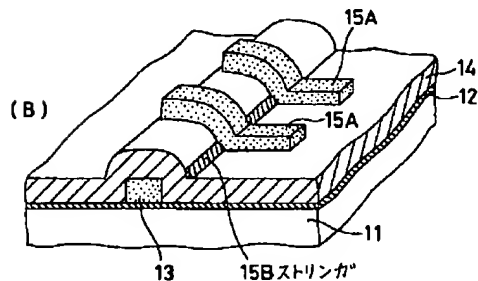
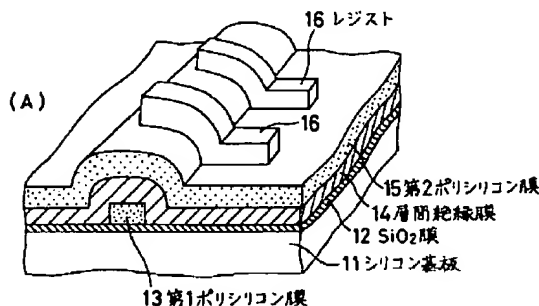
14…層間絶縁膜

20 15…第2ポリシリコン膜(導電性材料膜)

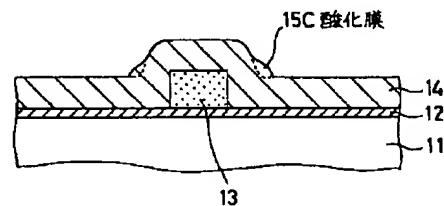
15B…ストリング

15C…酸化膜

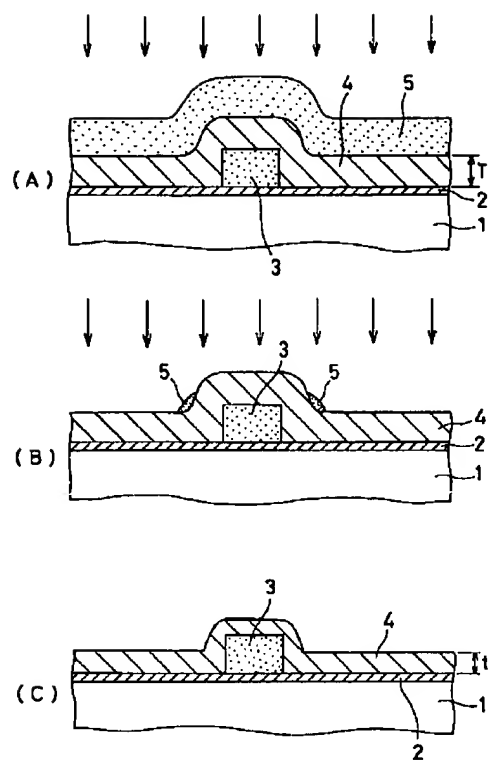
【図1】



【図2】



【図3】



PAT-NO: JP406295888A

DOCUMENT-IDENTIFIER: JP 06295888 A

TITLE: FABRICATION OF SEMICONDUCTOR DEVICE

PUBN-DATE: October 21, 1994

INVENTOR-INFORMATION:

NAME

AZUMA, HIDEAKI

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP05082300

APPL-DATE: April 9, 1993

INT-CL (IPC): H01L021/302, H01L021/3205 , H01L021/90

ABSTRACT:

PURPOSE: To provide a semiconductor device having highly reliable wiring in which decrease of an underlying film and short circuit are prevented.

CONSTITUTION: A second polysilicon film 15 is deposited on a layer insulation film 14 and a resist 16 is patterned thereon. After anisotropic etching is performed using the resist 16 as a mask the residue, i.e., a stringer 15B, is oxidized to produce SiO_2 . Since the stringer 15B isolates the wirings positively, overetching is not required.

COPYRIGHT: (C)1994,JPO

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-295888

(43)Date of publication of application : 21.10.1994

(51)Int.Cl.

H01L 21/302

H01L 21/3205

H01L 21/90

(21)Application number : 05-082300

(71)Applicant : SONY CORP

(22)Date of filing : 09.04.1993

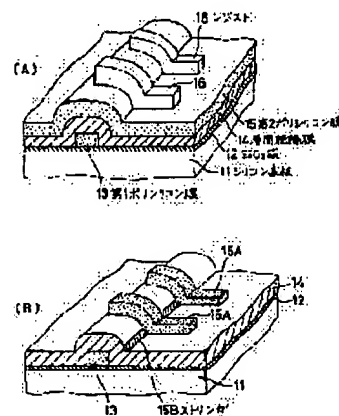
(72)Inventor : AZUMA HIDEAKI

(54) FABRICATION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device having highly reliable wiring in which decrease of an underlying film and short circuit are prevented.

CONSTITUTION: A second polysilicon film 15 is deposited on a layer insulation film 14 and a resist 16 is patterned thereon. After anisotropic etching is performed using the resist 16 as a mask the residue, i.e., a stringer 15B, is oxidized to produce SiO₂. Since the stringer 15B isolates the wirings positively, overetching is not required.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of the semiconductor device characterized by changing into an oxide this conductive material film that was made to deposit a conductive material film on the front face of the insulator layer formed on the semiconductor substrate, performed oxidation treatment in the manufacture method of the semiconductor device equipped with the process which carries out patterning of this conductive material film after carrying out patterning of the above-mentioned conductive material film by etching, and remained as a stringer on the above-mentioned insulator layer.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the after-treatment method of wiring of preventing the short-circuit by the etching remainder of a wiring material, in more detail about the manufacture method of a semiconductor device.

[0002]

[Description of the Prior Art] Detailed-izing and complication of an element are progressing with high integration of a device. However, although lateral reduction is performed for detailed-ization of an element, the lengthwise scale down is not performed. Consequently, the irregularity on the front face of a device is becoming still severer. If a circuit pattern is formed on the front face where such irregularity is intense, the etching remainder of a wiring material will occur in the high level difference section or a steep portion. In order to prevent such the etching remainder, perform too much over etching, it considers as device structure without a steep portion, or the so-called multi-step etching to which etching conditions are changed is performed.

[0003] In addition, drawing 3 (A) - (C) shows the process which performs over etching. First, an insulator layer 2 is formed in semiconductor substrate 1 front face, patterning of the 1st polysilicon contest film 3 is carried out, and the layer insulation film 4 and the 2nd polysilicon contest film 5 are made to deposit one by one on an insulator layer 2, as shown in drawing 3 (A). Next, as shown in drawing 3 (B), patterning of the 2nd polysilicon contest film 5 is carried out using photo lithography technology and dry etching technology so that it may become a predetermined pattern. When the front face of the layer insulation film 4 begins to be exposed with this dry etching, as shown in drawing 3 (B), some 2nd polysilicon contest films 5 remain in the skirt section of the level difference section. In order to remove this, over etching is applied as shown in drawing 3 (C).

[0004]

[Problem(s) to be Solved by the Invention] However, the above-mentioned method has some limits. For example, by the method of performing too much over etching, thickness T of the layer insulation film 4 shown in drawing 3 (A) is set to thickness t as shown in drawing 3 (C), and film decrease becomes remarkable. In connection with this, in the level difference section, it becomes steeper than the ***** and there is a problem on which the level difference covering nature of the upper film gets worse. In addition, the problem used as a short cause is also produced by film decrease of an insulator layer. Moreover, changing device structure so that a steep portion may not be made has the problem which is not easily changed on a device property. Furthermore, since multi-step etching was the method of repeating a deposition and etching, in order to receive influence in a state, a performance, etc. of an etching system greatly, the scarce problem was in stability.

[0005] This invention is originated paying attention to the above-mentioned trouble, and the technical problem which it is going to solve is in the point whether such a means should be provided, in order to manufacture a semiconductor device equipped with the short wiring which is not produced, without obtaining influence on a ground film.

[0006]

[Means for Solving the Problem] This invention makes it the solution means to change into an oxide this conductive material film that was made to deposit a conductive material film on the front face of the insulator layer formed on the semiconductor substrate, performed oxidation treatment in the manufacture method of the semiconductor device equipped with the process which carries out patterning of this conductive material film after carrying out patterning of the above-mentioned conductive material film by etching, and remained as a stringer on the above-mentioned insulator layer.

[0007]

[Function] By performing oxidation treatment, a conductive material (stringer) which remained on the insulator layer changes to an oxide, and serves as an insulator. For this reason, it becomes unnecessary to apply over etching and film decrease of a ground insulator layer etc. can be avoided. Moreover, since a stringer serves as an insulator, short-circuit can be prevented.

[0008]

[Example] It explains based on the example which shows the detail of the manufacture method of the semiconductor device concerning this invention hereafter to a drawing. This invention is characterized by changing the etching remainder into an insulator by oxidizing to the etching remainder after wiring processing. Then, especially this example applies this invention to processing of the wiring which becomes by the 2nd polysilicon contest film which the etching remainder tends to produce in the manufacturing process of a semiconductor device.

[0009] this example forms structure as first shown in drawing 1 (A). That is, after forming SiO₂ film 12 on a silicon substrate 11, the 1st polysilicon contest film 13 is made to deposit in CVD. And patterning of this 1st polysilicon contest film 13 is carried out

using well-known lithography technology and well-known etching technology. In etching of this 1st polysilicon contest film 13, since ground SiO₂ film 12 is flat, the etching remainder is not produced. Next, the layer insulation film 14 is used for the whole surface, and CVD is made to deposit on it. Furthermore, the 2nd polysilicon contest film 15 is made to deposit on the layer insulation film 14. And patterning of the resist 16 is carried out with photo lithography technology on the 2nd polysilicon contest film 15. Patterning of this resist 16 is carried out to the position which should leave the 2nd polysilicon contest film 15 as wiring. [0010] Next, dry etching (for example, it uses by the efficient consumer response etcher using SF₆ system gas) is performed by using the above-mentioned resist 16 as a mask, and it is made to stop, after the ground layer insulation film 14 has been exposed. The structure in this state is the structure in which the 2nd polysilicon contest film 15 remained as stringer 15B at the portion of the skirt of this level difference with the level difference which originated in the 1st polysilicon contest film 13, and was produced, as shown in drawing 1 (B). Then, a wafer is put into a furnace and oxidization by O₂ gas is performed on 800-degree C conditions. By this oxidation treatment, stringer 15B changes to oxide-film 15C, as shown in drawing 2. Since oxide-film 15C changes by SiO₂, it has electric insulation. For this reason, the short-circuit resulting from the etching remainder can be prevented.

[0011] In addition, in this example, since it is oxidization of about 800 degrees C, re-diffusion of an impurity is not produced.

[0012] As mentioned above, although the example which applied this invention to the wiring processing process of the 2nd polysilicon contest film was explained, it is not limited to this and various kinds of change is possible.

[0013] Although the example used contest polysilicon as a conductive material, you may use wiring materials, such as a tungsten (W), tungsten silicide (WSi₂), and aluminum (aluminum), for example. In this case, in W, it becomes the oxide which has WSiO in WO_x and WSi₂ and has insulation, such as aluminum 2O₃, with aluminum.

[0014] Moreover, in the above-mentioned example, although the oxidization method in the furnace using O₂ gas as oxidation treatment was used, of course, it is also possible to, use meanses, such as annealing after O₃ processing and O₂ ion implantation and surface annealing by the excimer laser, for example.

[0015]

[Effect of the Invention] According to this invention, it can prevent making steep the level difference of film decrease of a ground film or a ground film so that clearly from the above explanation. Moreover, except the wiring section, even if a ground film has a steep level difference and the etching remainder of a conductive material arises, since it can do nonconducting certainly, it is effective in preventing that short-circuit occurs.

[Translation done.]